

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-197501

(P2013-197501A)

(43) 公開日 平成25年9月30日(2013.9.30)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 23/12 (2006.01)	H O 1 L 23/12	5 O 1 C 4 C 1 6 1
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04	3 7 2
A 6 1 B 1/00 (2006.01)	A 6 1 B 1/00	3 O O P
	H O 1 L 23/12	E

審査請求 未請求 請求項の数 10 O L (全 6 頁)

(21) 出願番号 特願2012-65791 (P2012-65791)
 (22) 出願日 平成24年3月22日 (2012.3.22)

(71) 出願人 000113263
 H O Y A 株式会社
 東京都新宿区中落合2丁目7番5号
 (74) 代理人 100090169
 弁理士 松浦 孝
 (74) 代理人 100124497
 弁理士 小倉 洋樹
 (74) 代理人 100147762
 弁理士 藤 拓也
 (72) 発明者 小師 敦
 東京都新宿区中落合2丁目7番5号 H O
 Y A 株式会社内
 Fターム(参考) 4C161 BB02 CC06 FF40 FF45 JJ11
 LL02 NN01 PP08 SS01 UU03

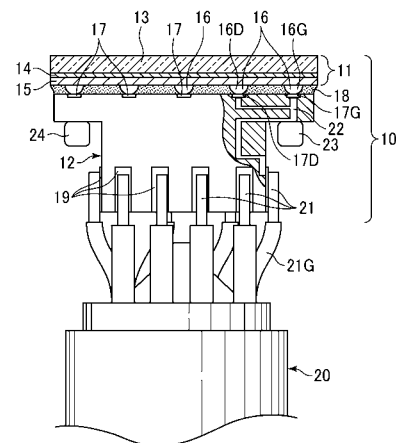
(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】放熱効率の高いW L C S Pタイプの半導体パッケージを提供する。

【解決手段】パッケージ底面にB G Aバンプ16を格子状に形成するW L C S Pタイプの半導体パッケージ11において、B G Aバンプ16を加工可能な最小ピッチで格子状に配置するとともに、全ての格子点にB G Aバンプ16を配置する。半導体パッケージ11に必要なI / Oピン以外をダミーバンプ16Dとし、ダミーバンプ16Dを半導体パッケージ11のグランドパターン(グランド端子)16Gに接続する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ウェハ・レベル・チップサイズ・パッケージ加工を行った半導体パッケージであって、パッケージ底面に B G A バンプが格子状に形成され、前記 B G A バンプが全ての格子点に配置されることを特徴とする半導体パッケージ。

【請求項 2】

前記 B G A バンプの一部がダミーバンプであることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記 B G A バンプが加工可能な最小ピッチで配置されることを特徴とする請求項 2 に記載の半導体パッケージ。

【請求項 4】

前記半導体パッケージが撮像素子を含むことを特徴とする請求項 3 に記載の半導体パッケージ。

【請求項 5】

前記ダミーバンプの少なくとも 1 つが前記半導体パッケージのグランドパターンに接続されることを特徴とする請求項 2 ～ 4 の何れか一項に記載の半導体パッケージ。

【請求項 6】

請求項 2 ～ 5 の何れか一項に記載の半導体パッケージが実装される回路基板であって、前記 B G A バンプ全てに対応するランドを備えることを特徴とする回路基板。

【請求項 7】

前記ダミーバンプに接合される少なくとも 1 つのランドがグランドパターンに接続されることを特徴とする請求項 6 に記載の回路基板。

【請求項 8】

請求項 2 ～ 5 の何れか一項に記載の半導体パッケージと、前記半導体パッケージが実装される回路基板とを備え、前記回路基板が前記 B G A バンプ全てに対応するランドを備えることを特徴とする撮像ユニット。

【請求項 9】

前記ダミーバンプに接合される少なくとも 1 つのランドがグランドパターンに接続されることを特徴とする請求項 8 に記載の撮像ユニット。

【請求項 10】

請求項 8 または請求項 9 の何れか一項に記載の撮像ユニットが搭載されたことを特徴とする電子内視鏡。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ウェハ状態でパッケージングまでを行うウェハレベル・チップサイズ・パッケージ (W L C S P : Wafer Level Chip Size Package) タイプの半導体パッケージに関する。

【背景技術】**【0002】**

例えば撮像素子に発生するノイズは、温度上昇に伴い増大する。特に電子内視鏡では、撮像素子が気密された極めて狭い空間に配置され、かつ熱源となるライトガイドも隣接して配置されるため放熱対策は画質の維持・向上にとって極めて重要である。電子内視鏡において撮像素子は、表面のボンディング電極からボンディングワイヤ、T A B テープ等を介して裏面に配置された回路基板に接続され、撮像素子の熱はボンディングワイヤや T A B (Tape Automated Bonding) テープの配線、または撮像素子裏面と回路基板の接合面を通して放熱される。放熱効率を高めるために撮像素子裏面近傍に熱伝導性の高い部材を配置する構成も提案されている (特許文献 1)。また近年、電子機器の小型・軽量化に伴い、半導体パッケージをウェハ状態のままパッケージにする W L C S P 技術が開発されてお

10

20

30

40

50

り、携帯電話などにおいては、W L C S P 技術を用いた撮像素子も採用されている（引用文献 2）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2002 - 291693 号公報

【特許文献 2】特開 2008 - 130738 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

この W L C S P タイプの撮像素子を電子内視鏡に実装する場合、撮像素子はその裏面に形成される B G A (Ball Grid Array) バンプを介して回路基板に接合されることとなり、主な放熱経路はバンプを通したものとなる。一方、電子内視鏡においては、細い可撓管を通して配線を行う必要があるため、撮像素子の I / O ピンの数が制限され、そのバンプの数も少ない。そのため撮像素子の放熱が十分に行えず、画質の劣化を招く恐れがある。

【0005】

本発明は、上述のような問題に鑑みてなされたものであり、放熱効率の高い W L C S P タイプの半導体パッケージを提供することを課題としている。

【課題を解決するための手段】

【0006】

20

本発明の半導体パッケージは、ウェハ・レベル・チップサイズ・パッケージ加工を行った半導体パッケージであって、パッケージ底面に B G A バンプが格子状に形成され、B G A バンプが全ての格子点に配置されたことを特徴としている。

【0007】

B G A バンプの一部は例えばダミーバンプであり、B G A バンプは加工可能な最小ピッチで配置されることが好ましい。本発明の半導体パッケージは例えば撮像素子へのアプリケーションにおいて有効である。ダミーバンプは、例えば半導体パッケージのグランドパターンに接続されることが好ましい。

【0008】

また本発明の回路基板は、上記半導体パッケージが実装される回路基板であって、B G A バンプ全てに対応するランドを備えたことを特徴としている。

30

【0009】

回路基板において、ダミーバンプに接合される少なくとも 1 つのランドがグランドパターンに接続されることが好ましい。

【0010】

本発明の撮像ユニットは、上記半導体パッケージと、半導体パッケージが実装される回路基板とを備え、回路基板が B G A バンプ全てに対応するランドを備えたことを特徴としている。

【0011】

また撮像ユニットにおいて、ダミーバンプに接合される少なくとも 1 つのランドがグランドパターンに接続されることが好ましい。

40

【0012】

また本発明の電子内視鏡は、上記撮像ユニットが搭載されたことを特徴としている。

【発明の効果】

【0013】

本発明によれば、放熱効率の高い W L C S P タイプの半導体パッケージを提供することができる。

【図面の簡単な説明】

【0014】

【図 1】本発明の一実施形態である W L C S P タイプの半導体パッケージを搭載した撮像

50

ユニットの構成を示す側断面図である。

【図 2】本実施形態の半導体パッケージを底面側から見た平面図である。

【図 3】半導体パッケージの変形例の底面側から見た平面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態を、図面を参照して説明する。図 1 は、本発明の一実施形態である W L C S P タイプの半導体パッケージを搭載した撮像ユニットの構成を示す側断面図である。

【0016】

撮像ユニット 10 は、例えば電子内視鏡に搭載され、W L C S P タイプの半導体パッケージ 11 と回路基板パッケージ 12 を備える。本実施形態において半導体パッケージ 11 は撮像素子であり、ガラス層 13、樹脂層 14、シリコン層 15、および格子状に配列された B G A バンプ 16 から主に構成される。

【0017】

回路基板パッケージ 12 には、例えば半導体パッケージ 11 の全ての B G A バンプに対応して格子状に配列されるランド 17 が形成され、例えば全ての B G A バンプ 16 は対応する各ランド 17 に半田付けなどにより接合される。また、シリコン層 15 と回路基板パッケージ 12 と間には B G A バンプ 16 の高さ分の隙間が形成されるが、この隙間は熱伝導性の高い樹脂充填剤 18 により充填される。

【0018】

また回路基板パッケージ 12 には、ケーブル接続用の複数のケーブル接合用ランド 19 が設けられ、ケーブル 20 の各信号線 21 が半田等を用いて接合される。図 1 では、回路基板パッケージ 12 の一部が破断図として示され、グランドパターン 22 の配線の一部が模式的に示される。図 1 の例において、バンプ 16 G は、例えば半導体パッケージ 11 のグランドパターン（図示せず）を構成するグランド端子であり、ランド 17 G を介してケーブル 20 のグランド線 21 G に接続される。またバンプ 16 D は、後述するダミーバンプであり、ダミーバンプ 16 D に対応するランド 17 D はダミーランドとなる。図示例ではダミーランド 17 D はグランドパターン 22（ランド 17 G）に接続される。なお、回路基板パッケージ 12 には必要に応じて電子部品 23、24 等が実装される。

【0019】

図 2 は本実施形態の半導体パッケージ 11 を底面側から見た平面図である。本実施形態において、半導体パッケージ 11 の底面には格子状に B G A バンプが配置され、図 2 の例では、縦横 5 × 5、合計 25 個の格子点を有する正方格子状に B G A バンプ（白丸および黒丸）が配置されている。格子点の全てに B G A バンプが形成され、図 2 では 25 個の B G A バンプのうち白丸で示される 18 個の B G A バンプ 16 E が半導体パッケージ 11 の I / O ピンであり、黒丸で示される 7 個の B G A バンプ 16 D がダミーバンプである。

【0020】

従来、W L C S P タイプの半導体パッケージでは、必要な I / O ピンに応じてバンプピッチを設定し、余ったスペースにバンプを配することは基本的でない。例えば、I / O ピンは底面の周縁部に集められ底面中央付近はバンプが形成されない空き領域とされる。これに対して本実施形態では、例えば半導体パッケージ製造の後工程において安定処理可能な最小のピッチで配置できる全てのバンプが形成される。すなわち本実施形態では半導体パッケージに必要な I / O ピンの数から B G A バンプの行数、列数を割り付けるのではなく、例えばパッケージサイズと製造工程における加工可能ピッチから、B G A バンプによる全接合面積がなるべく大きくなるように設置可能な限りの数の B G A バンプを配置する。

【0021】

例えば、図 2 の例では、I / O ピンは 18 個なので、5 行 × 4 列としてダミーバンプ 16 D を 2 個とすることもできるが、本実施形態ではより大きな接合面積を得るため B G A バンプの配列を 5 行 × 5 列としている（バンプ断面積は一定であることを前提としている

10

20

30

40

50

）。本実施形態では、このように配置される B G A バンプのうち、I / O ピン以外の 7 個のバンプをダミーバンプ 1 6 D とする。ダミーバンプ 1 6 D は、電氣的にフローティングされた状態であってもよいが、本実施形態のように半導体パッケージ 1 1 内のグラウンドパターンに接続する構成とすることで放熱効果を更に向上できる。なおダミーバンプ 1 6 D は、任意の格子点上に配置できるが、回路基板パッケージ 1 2 側において配線の引き回しが容易な位置に配置されることが好ましい。

【0022】

またバンプサイズとバンプの最小加工ピッチの組合せが選択可能な場合には、全バンプ接合面積に当たるバンプ数×バンプ断面積がより大きくなる組合せを選択してもよい。例えば、図 2 の例において、バンプサイズを大きくして前述のように B G A を 4 行×5 列と

10

【0023】

以上のように、本実施形態によれば W L C S P タイプの半導体パッケージにおいて、バンプ接合面積を大きくすることができ、バンプを通してより効率的に熱を回路基板側へと伝達することができるので放熱効率が向上される。

【0024】

また本実施形態では、回路基板パッケージに半導体パッケージの全てのバンプに対応してランドを設けたり、ダミーバンプをグラウンドパターンに接続したりすることにより放熱効果を更に高めている。また本実施形態では回路基板のダミーランドもグラウンドパターン、ケーブルのグラウンド線へと接続されているため熱は効率よくケーブルへと排出される。

20

【0025】

なお、本実施形態では半導体パッケージの全ての B G A バンプに対応したランドを回路基板パッケージに設けたが、ランド数はバンプ数と異なってもよい。またダミーバンプ、ダミーランドは、必ずしもグラウンドパターンに接続されていなくともよい。また、B G A バンプの配置は正方格子に限定されず、六角格子状などの配置であってもよく、バンプ、ランド、信号線の接合方法も半田付け以外の方法を用いてもよい。また本実施形態では電子内視鏡を例に説明を行ったが、放熱を十分に考慮する必要がある他の電子機器（特に撮像ユニット）においても適用可能である。

30

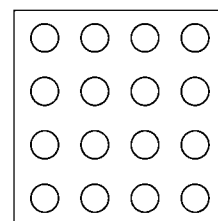
【符号の説明】

【0026】

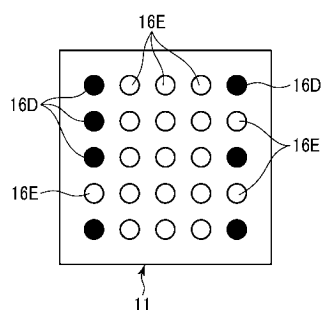
- 1 0 撮像ユニット
- 1 1 W L C S P タイプ半導体パッケージ
- 1 2 回路基板パッケージ
- 1 3 ガラス層
- 1 5 シリコン層
- 1 6 B G A バンプ
- 1 6 D ダミーバンプ
- 1 6 E I / O ピン
- 1 6 G グラウンド端子（バンプ）
- 1 7 バンプ接合ランド
- 1 7 D ダミーランド
- 1 9 ケーブル接合用ランド
- 2 0 ケーブル
- 2 1 信号線
- 2 1 G グラウンド線
- 2 2 グラウンドパターン

40

【圖 3】



【圖 2】



专利名称(译)	半导体封装		
公开(公告)号	JP2013197501A	公开(公告)日	2013-09-30
申请号	JP2012065791	申请日	2012-03-22
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
[标]发明人	小師敦		
发明人	小師 敦		
IPC分类号	H01L23/12 A61B1/04 A61B1/00		
FI分类号	H01L23/12.501.C A61B1/04.372 A61B1/00.300.P H01L23/12.E A61B1/00.715 A61B1/04.530 A61B1/05		
F-TERM分类号	4C161/BB02 4C161/CC06 4C161/FF40 4C161/FF45 4C161/JJ11 4C161/LL02 4C161/NN01 4C161/PP08 4C161/SS01 4C161/UU03		
代理人(译)	松浦 孝		
其他公开文献	JP6013748B2		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：提供WLCSP类型的半导体封装，其中辐射效率得到改善。解决方案：在WLCSP型半导体封装11中，BGA凸块16以格子形状形成在封装底面上，BGA凸块16以可加工的最小间距设置成格子形状，BGA凸块16是处于所有格点。除了半导体封装11所需的I/O引脚之外的任何其他凸块被定义为虚设凸块16D，并且虚设凸块16D被连接到半导体封装11的接地图案（接地端子）16G。

